

*** Information Materials for IDS ***

Pending

CWP

To YO IP Law Docket Number YOR9-2004-0091 Date 6/9/2008Prepared by FK Date of JPO Office Action 5/30/2008**Applied Art** (The following reference(s) were cited by JPO Examiner as Prior art to the following JP claims)

Ref.	Patent Document No. or Title	Publication Date (MM/DD/YY)	English abs. or counterpart document available (Y/N)	JP claim(s)
A	Japanese PUPA 09-91336	04/04/1997	Y	1-28
B				
C				
D				
E				
F				

<NOTE>

◇ PUPA : Published Unexamined Patent Application

◇ PUUMA : Published Unexamined Utility Model Application

◇ JP : Japanese Patent

◇ PEPA : Published Examined Patent Application

◇ PEUMA : Published Examined Utility Model Application

◇ * : Reference being filed before and published after the priority application date of the subject docket

to be continued ☐**Background Art** (The following reference(s) were cited but not applied to the JP claims.)

Ref.	Patent Document No. or Title	Ref.	Patent Document No. or Title
bgA	Japanese PUPA 05-126872	bgD	
bgB	" " 10-162040	bgE	
bgC	" PUUMA 01-103-90360	bgF	

Comment, if any :

to be continued ☐

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-091336

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

G06F 17/50
H01L 21/82

(21)Application number : 07-273466

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 27.09.1995

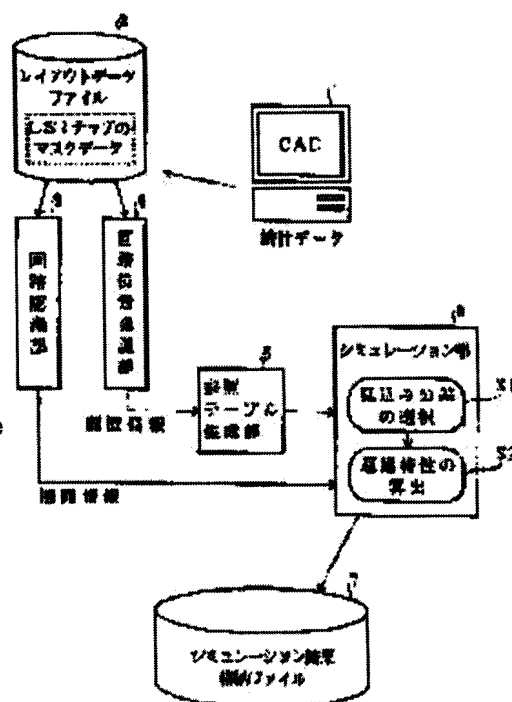
(72)Inventor : ENDO HIDEAKI

(54) CIRCUIT SIMULATING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To evaluate circuit performance with high precision including the position dependency of the parasitic effect of contact resistance, gate capacity, etc., in addition to a gate pattern by performing simulation on the assumption that the prospective tolerance of delay characteristics of the whole circuit network is less than the total maximum tolerance of delay characteristics of respective circuits.

SOLUTION: A circuit recognition part 3, a circuit position recognition part 4, a reference table generation part 5, a simulation part 6, a simulation result storage file 7, etc., are provided so as to perform simulation on the basis of data stored in a layout data file 2. This reference table generation part 5 selects and adds a maximum delay time and a minimum delay time to obtain the delay characteristics of the circuit network connecting the both. Then the simulation part 6 performs specific simulation according to circuit information inputted from the circuit recognition part 3 and the result obtained by referring to the reference table generation part 5 to calculate delay characteristics.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-91336

(43)公開日 平成9年(1997)4月4日

(51)Int.Cl.⁶

G 0 6 F 17/50

H 0 1 L 21/82

識別記号

庁内整理番号

F I

G 0 6 F 15/60

H 0 1 L 21/82

6 6 8 A

C

W

技術表示箇所

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21)出願番号 特願平7-273466

(22)出願日 平成7年(1995)9月27日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 遠藤 英明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

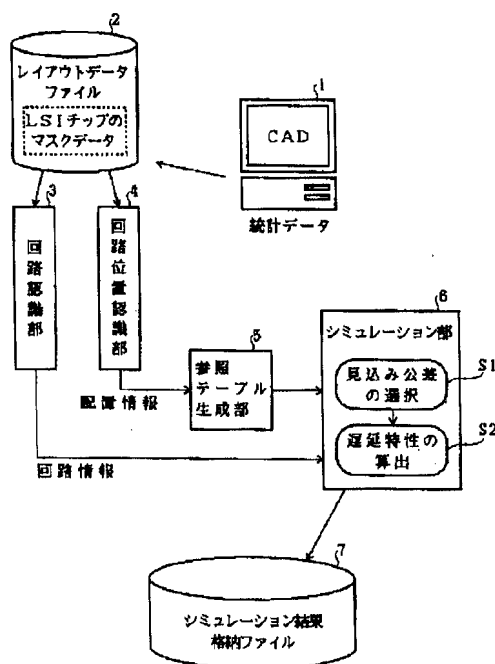
(74)代理人 弁理士 佐藤 幸男 (外1名)

(54)【発明の名称】 回路シミュレーション方法

(57)【要約】

【解決手段】 半導体基板上に形成される回路の配置によって、遅延時間の公差がプラス方向あるいはマイナス方向にばらつくという経験則を、回路網のシミュレーションの際のパラメータに取り込む。

【効果】 自動的に計算すれば、回路網全体の遅延特性の公差は、その回路網を構成する各回路の遅延特性の最大公差の総和となる。しかし、配置情報に基づく製造上の性能変動要因に基づいて、各回路毎に、その公差がプラス公差かマイナス公差かを選択すれば、その公差は最大公差の総和より小さくなる。従って、最大公差の総和を考慮した回路網設計よりも設計上の自由度が増し、過剰のマージンを考慮した回路網設計を防止できる。



本発明を実施するシミュレータのブロック図

1

【 特許請求の範囲】

【 請求項1 】 半導体基板上に形成された複数の任意の回路を組み合わせて構成される回路網の遅延特性をシミュレーションする場合において、

予め各回路の論理設計時に求められた各回路固有の遅延特性と、

前記半導体基板の製造用に用意された、その基板上の各回路の配置情報とを受け入れて、

前記各回路の遅延特性の見込み公差を、前記配置情報に基づく製造上の性能変動要因に基づいて選択し、

前記回路網全体の遅延特性の見込み公差を、前記各回路の遅延特性の最大公差の総和より小さく想定してシミュレーションを実施することを特徴とする回路シミュレーション方法。

【 請求項2 】 回路網を構成する各回路間を接続するための配線について、その遅延特性を回路網全体の遅延特性に含めてシミュレーションする場合に、

半導体基板の製造時に得られた、その基板上の前記各配線の配置情報を受け入れて、

前記各配線の遅延特性の見込み公差を、前記配置情報に基づく製造上の性能変動要因に基づいて選択することを特徴とする請求項1記載の回路シミュレーション方法。

【 発明の詳細な説明】

【 0 0 0 1 】

【 発明の属する技術分野】 本発明は、LSI（高度集積回路）のように半導体基板上に集積された電子回路の、動作特性予測に利用される回路シミュレーション方法に関する。

【 0 0 0 2 】

【 従来の技術】 LSI等の半導体回路設計を行う際には、CAD（コンピュータ支援設計）装置等を用いて設計された回路が実際に半導体基板上に配置されたとき、所期の特性が得られるかを計算によって確認する。この計算はホストレイアウトシミュレーションと呼ばれ、回路相互の位置関係や実配線長等を考慮した回路特性の検証等が行われる。

【 0 0 0 3 】

【 発明が解決しようとする課題】 ところで、上記のような従来の回路シミュレーション方法には次のような解決すべき課題があった。半導体基板上に多数設けられるゲート回路等の規格化された回路は、いずれも同一の構成の回路は同一の特性を有するものとして特性計算が行われる。例えば、半導体基板上に形成されたいくつかの回路を組み合わせて構成される回路網の遅延特性等をシミュレーションする場合には、各回路の設計上の遅延時間に公差を加味して、たとえ最大の公差がある回路同士を接続したとしても満足するような諸条件の設定を行っている。このような公差は、材料のばらつき、製造条件のばらつき等によって当然に生じ得る許容範囲のもので、従来このような公差の累積も考慮し、これを一定の安全

2

率の範囲に含めて回路設計を行うようにしていた。

【 0 0 0 4 】 しかしながら、半導体基板上に回路を配列して製造する場合、半導体チップの面上の配線パターン密度は場所によってそれぞれ相違する。この場合に、フォトリソ工程の製造条件の相違から、電極形状や配線形状にばらつきを生じることがある。このようなばらつきも回路の公差として含めてシミュレーションを行っているが、経験的には、例えば半導体基板の周辺部分の公差は一般にマイナス公差であって、設計よりも短めの遅延時間を示す。また、半導体基板の中央付近では一般にプラス公差となり長めの遅延時間を示す。

【 0 0 0 5 】 従って、回路の組合せによっては必ずしも公差の最大値を加算して回路網の公差を得るようにすると、現実の回路よりも大きなマージンを必要とし、過剰品質になってコストアップの原因となる。シミュレーションは、元々の回路をどう組み合わせて使用すると、どのような性能が得られるかといった予測を行うためのものであるから、より実情に合った結果を得て最終的な設計に反映されることが好ましい。

【 0 0 0 6 】

【 課題を解決するための手段】 本発明は以上の点を解決するため次の構成を採用する。

〈 構成1 〉 半導体基板上に形成された複数の任意の回路を組み合わせて構成される回路網の遅延特性をシミュレーションする場合において、予め各回路の論理設計時に求められた各回路固有の遅延特性と、半導体基板の製造用に用意された、その基板上の各回路の配置情報とを受け入れて、各回路の遅延特性の見込み公差を、配置情報に基づく製造上の性能変動要因に基づいて選択し、回路網全体の遅延特性の見込み公差を、各回路の遅延特性の最大公差の総和より小さく想定してシミュレーションを実施する。

【 0 0 0 7 】 〈 説明〉 半導体基板上に形成される回路は、当初CAD等により設計されて、その遅延時間や公差が論理的に求められる。このような設計を論理設計と呼ぶことにする。これは、同一の回路ならば全て同一の値になる。回路製造の際には、その回路が半導体基板上のどの位置に配置されて製造されるかの配置情報が存在する。ここでは、その製造時の配置によって、遅延時間の公差がプラス方向あるいはマイナス方向にばらつくという経験則を、シミュレーションの際のパラメータに取り込む。これを性能変動要因と呼んでいる。

【 0 0 0 8 】 なお、この公差というのは、設計通りに回路を製造したとして生じる許容範囲内の誤差をいう。見込み公差と表現したのは、配置情報に基づく製造時の性能変動要因に基づいて、各回路について、プラス公差かマイナス公差かという見込みを行って、回路毎に公差の範囲を選択するからである。自動的に計算すれば、回路網全体の遅延特性の公差は、その回路網を構成する各回路の遅延特性の最大公差の総和となる。しかし、配置情

報に基づく製造上の性能変動要因に基づいて、各回路毎に、その公差がプラス公差かマイナス公差かを選択すれば、その公差は最大公差の総和より小さくなる。従って、最大公差の総和を考慮した回路網設計よりも設計上の自由度が増し、過剰のマージンを考慮した回路網設計を防止できる。

【0009】〈構成2〉回路網を構成する各回路間を接続するための配線について、その遅延特性を回路網全体の遅延特性に含めてシミュレーションする場合に、半導体基板の製造時に得られた、その基板上の各配線の配置情報を受け入れて、各配線の遅延特性の見込み公差を、配置情報に基づく製造上の性能変動要因に基づいて選択することが好ましい。

【0010】〈説明〉回路網の遅延特性をその回路網を構成する各回路の回路遅延と、各回路の負荷になる配線の配線遅延とに分けて、この双方の配置情報を考慮したシミュレーションを行えば、更に設計上の自由度が増し、過剰のマージンを考慮した回路網設計の防止効果が高まる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態を具体例を用いて説明する。

〈具体例〉図1は、本発明を実施するためのシミュレータの概略を示すブロック図である。回路設計は、図に示すCAD装置1により行われる。そして、その結果として出力されるLSIチップのマスクデータは、レイアウトデータファイル2に記憶される。このLSIチップマスクデータ中には、半導体基板上にどのような回路がどのように配置されるかといった情報と、回路の各種の特性、その他のデータが含まれる。

【0012】このようなレイアウトデータファイル2に格納されたデータを元にシミュレーションを行うべく、回路認識部3、回路位置認識部4、参照テーブル生成部5、シミュレーション部6及びシミュレーション結果格納ファイル7等が設けられている。回路認識部3は、例えばシミュレーションの対象となる回路網を構成するためのいくつかの回路が指定された場合、レイアウトデータファイル2を参照してそのシミュレーションの対象となる回路を認識し、必要な回路情報をシミュレーション部6に送り込む部分である。また、回路位置認識部4は、そのシミュレーションの対象となる各回路が半導体基板上のどの位置に配置されているかといった配置情報を参照テーブル生成部5に向けて出力する回路である。参照テーブル生成部5はこのような配置情報を元に、どこに配置された回路がどのような公差を取り得るかを示すテーブルデータを生成する部分である。このデータの内容は、後で図4を用いて説明する。

【0013】シミュレーション部6は、回路認識部3から入力する回路情報と参照テーブル生成部5を参照した結果を元に、所定のシミュレーションを行う部分であ

る。なお、本発明においては、このシミュレーション部6は遅延特性の算出処理を実施する。そして、このシミュレーション結果がシミュレーション結果格納ファイル7に格納される構成となっている。

【0014】図2には、回路網の例説明図を示す。この図に示すように、半導体基板、例えばLSIチップ上には、この例では9個の回路が搭載されているとする。この場合に、各回路の位置を特定するために横方向にX座標、縦方向にY座標を設定した。以下に説明する例では、このX座標とY座標から見たときに位置座標が(2, 2)である回路Aと、位置座標が(1, 3)である回路Bとを接続した場合の遅延特性を求める。

【0015】図3には、遅延特性のシミュレーション組合せ例説明図を示す。図1に示すCAD装置1によって予め求められた各回路固有の遅延特性は、例えば回路Aの場合TAで、回路Bの場合はTBとする。なお、その公差を考慮した場合には、TA、TBはいずれも中間値であって、この図3に示すように最小遅延時間TAminと最大遅延時間TBmaxとが想定される。回路Aと回路Bとを組み合わせることで所定の回路網を構成する場合に、特性上問題となるのは合計の最大遅延時間である。従って、回路Aが最大遅延時間を示すものであるかつ回路Bも最大遅延時間を示すものである最悪のケース(4)を元にシミュレーションを行い総合評価を行うことになる。なお、これ以外の組合せのケースとしては、この図3に示すケース(1)、ケース(2)、ケース(3)といった組合せが存在する。もし、全ての組合せ結果を比較してからシミュレーションに反映させたいとすれば、これらの4通りのケースについてシミュレーション演算処理を実行させなければならない。

【0016】ところが、本発明においては、図2に示すように、予め回路Aが基板の中央に配置され、回路Bが基板の隅の部分に配置されているという配置情報が存在するため、次のような処理を行う。図4には、配置情報の参照テーブル説明図を示す。この参照テーブルは、図1に示す参照テーブル生成部5によって生成される。即ち、ここでは図2を用いて説明したと同様に半導体基板上の位置座標X、Yを設定する。ここで、各位置座標にある回路に対応して数字が3～5まで記入されている。数字が“5”というのは、遅延時間が論理設計により求められた許容誤差の範囲で、プラスの最大公差に近い値をとることを示している。また、数字が“4”というのは丁度中間的な値、即ち標準値を示し、公差はほぼゼロとなる。“3”はマイナスの最大公差を示すことを表している。

【0017】図5には、この公差の説明図を示す。

(a)と(b)は、回路Aの最小遅延時間TAminと最大遅延時間TAmxをそれぞれ示したもので、中間値TAから標準偏差σを考慮した3σを引いた値を最小遅延時間とし、3σを加算した値を最大遅延時間と想定して

5

いる。回路Bについては、図の(c)、(d)に示すように、それぞれ最小遅延時間 $T_{B \min}$ と最大遅延時間 $T_{B \max}$ が同様の演算によって求められている。

【0018】従って、図4の参照テーブルによれば、回 *

$$T_{A \max} + T_{B \min} = T_A - 3\sigma + T_B + 3\sigma = T_A + T_B \quad \dots(1)$$

このように各回路の半導体基板上の配置情報を考慮すると、このケースでは公差分が相殺し合って $T_A + T_B$ という遅延特性で設計すれば良いという結果を得る。

【0019】一方、もし、従来のように最悪のケースで回路網の遅延特性を求めるとすれば、次の(2)式に示すようになる。

$$T_{A \max} + T_{B \max} = T_A + T_B + 6\sigma \quad \dots(2)$$

上記(1)式と(2)式とを比較すれば明かなように、配置情報を考慮しない場合、 6σ の公差を見込んで回路網の設計を行わなければならない、実際にこの公差が無いものとして設計された回路と比較して過剰品質になり得る。

【0020】上記のような半導体基板上の回路の配置による特性変動要因は、回路パターンの密度が基板の周辺と中央部分とで相違し、製造プロセスの特にフォトリソ工程において全く同一の条件で配線加工ができないためと考えられる。ただし、これは製造条件に起因する特有の問題であって、変動要因の具体的な数値は経験的に求められる。従って、過去の経験的なデータを元に上記のような配置情報を加味した参照テーブルを生成することが必要になる。また、上記のような配置情報を考慮すると、各回路が全く等価な条件で配置されていた場合には、図3に示すような4つのケースを考慮したシミュレーションも必要となるが、回路の配置上いずれかのケースについてのシミュレーションは不要となり、演算処理に必要な時間も短縮される。また、このようなシミュレーションは半導体基板上に配置された全ての回路に対し様々の組合せを想定して行われる。従って、個々の組合せについて、シミュレーションのための演算処理時間を短縮することは、全体として十分に大きな演算処理時間の短縮化を図ることが可能になる。

【0021】〈参照テーブルの二層化〉上記のような参照テーブルは回路の配置情報のみならず、回路間を接続する配線の配置情報についても利用できる。図6に、参照テーブルの二層化説明図を示す。ここには回路の配置情報による参照テーブルの他に、配線の配置情報による

6

*路Aには $T_{A \max}$ の遅延時間を選択し、回路Bには $T_{B \min}$ の遅延時間を選択して、両者を加算すると、両者を接続した回路網の遅延特性が得られることになる。その結果は、次の(1)式に示す。

参照テーブルを示した。この配線の配置情報による参照テーブルには、各回路の負荷側に設けられた配線の遅延時間についてその性能変動要因を示している。このような回路配線は回路を相互に接続した場合の回路網全体の遅延特性に影響を及ぼす。また、この配線も基板の中央に形成した場合と周辺部に形成した場合とでは回路の製造時に生じたと同様の位置による差が生じる。従って、その取扱い及び演算処理は回路の配置情報によるものと全く同様でよい。

【0022】これによって、ゲートパターン以外に、コンタクト抵抗、ゲート容量、接合容量、配線抵抗、配線容量等の寄生効果の位置依存を含めた精度の高い回路性能評価を行うことが可能になる。従って、本発明は、例えば大チップ内でSOG(Sea of Gate: チャネルレス・ゲートアレイ)によるアレイ化されたNAND(否定論理積)ゲート群の特性評価等に特に有効に利用できる。更に、上記のような他のファクタについてその配置情報を考慮したシミュレーションを行えば一層の効果が期待できる。

【図面の簡単な説明】

【図1】本発明を実施するシミュレータのブロック図である。

【図2】回路網の例説明図である。

【図3】遅延特性のシミュレーション組合せ例説明図である。

【図4】配置情報の参照テーブル説明図である。

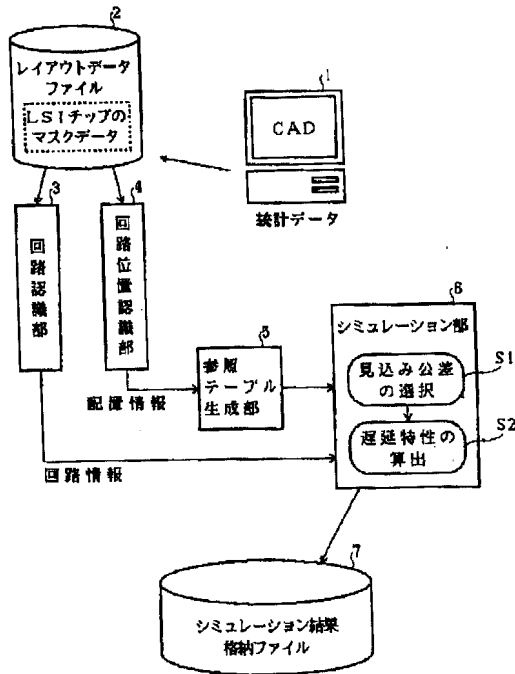
【図5】公差の説明図である。

【図6】参照テーブルの二層化説明図である。

【符号の説明】

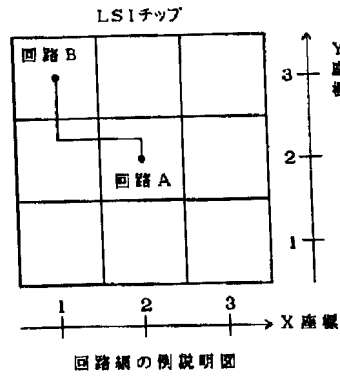
- 1 CAD装置
- 2 レイアウトデータファイル
- 3 回路認識部
- 4 回路位置認識部
- 5 参照テーブル生成部
- 6 シミュレーション部
- 7 シミュレーション結果格納ファイル

【 図1 】

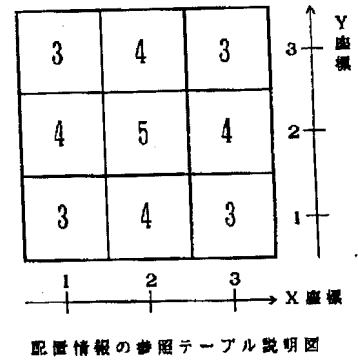


本発明を実施するシミュレータのブロック図

【 図2 】



【 図4 】



【 図3 】

回路A \ 回路B	最小遅延 T A min	最大遅延 T A max
最小遅延 T B min	ケース (1)	ケース (2)
最大遅延 T B max	ケース (3)	ケース (4)

遅延特性のシミュレーション組合せ例説明図

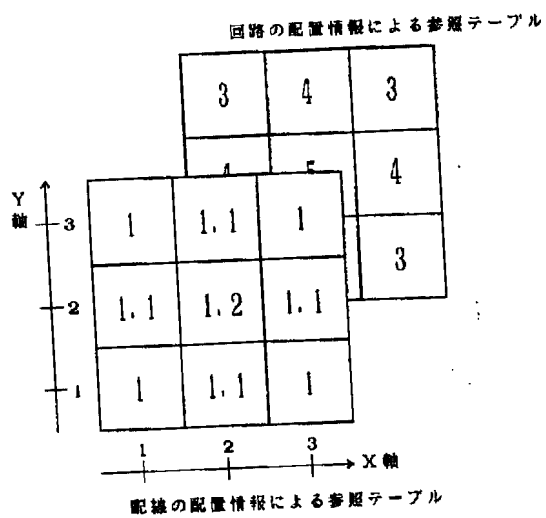
【 図5 】

- (a) $T_{Amin} = T_A - 3\sigma$
 (b) $T_{Amax} = T_A + 3\sigma$
 (c) $T_{Bmin} = T_B - 3\sigma$
 (d) $T_{Bmax} = T_B + 3\sigma$

ただし σ は標準偏差
 3σ は最大公差に対応

公差の説明図

【 図6 】



参照テーブルの2層化説明図